

## ⑫ 公開特許公報(A) 平4-4681

⑤ Int. Cl.<sup>5</sup>H 04 N 5/335  
H 01 L 27/146

識別記号

E

庁内整理番号

8838-5C

⑬ 公開 平成4年(1992)1月9日

8122-4M H 01 L 27/14

A

審査請求 未請求 請求項の数 3 (全7頁)

⑭ 発明の名称 光電変換装置

⑯ 特 願 平2-105188

⑰ 出 願 平2(1990)4月23日

⑱ 発 明 者 橋 本 誠 二 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
 ⑲ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号  
 ⑳ 代 理 人 弁理士 山下 稔平

日 月 年 日 時 分

## 1. 発明の名称

光電変換装置

## 2. 特許請求の範囲

(1) 光励起された電荷を蓄積する蓄積手段と、この蓄積手段に蓄積された電荷の転送制御を行う転送素子とを構成要素とする画素を複数備えた光電変換装置であって、

複数の蓄積手段がそれぞれの転送素子を介して制御電極に共通接続され、この制御電極の電荷を増幅して出力する増幅手段と、

前記制御電極に設けられたリセット手段と、

このリセット手段により前記制御電極をリセットし、前記増幅手段の出力を第1の信号として読み出す第1の読み出し手段と、

前記転送素子を導通させ、前記蓄積手段の電荷を前記制御電極に転送する転送手段と、

電荷の転送後に前記増幅手段の出力を第2の信号として読み出す第2の読み出し手段と、

前記第1の信号と前記第2の信号との減算処理を行う減算処理手段と、

を備えた光電変換装置。

(2) 請求項1記載の光電変換装置において、前記リセット手段は、副走査方向に隣接した増幅手段の制御電極間に設けられたことを特徴とする光電変換装置。

(3) 請求項2記載の光電変換装置において、前記リセット手段のリセット端子を、複数の増幅手段毎に設けたことを特徴とする光電変換装置。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、センサーノイズの低減を目的とした光電変換装置に関する。

〔従来の技術〕

固体撮像装置等に用いられるセンサには、出力信号レベルを上げる等のために、増幅型センサが好適に用いられる。

増幅型センサは、MOS型、SIT型、FET型、バイポーラ型などのトランジスタから構成されて

いて、それらの制御電極に蓄積した電荷を電荷増幅あるいは電流増幅して、主電極から出力するのである。例えば特公昭55-28456号公報に増幅型センサーの一例が開示されている。このような増幅型センサーの問題点の1つにセンサーノイズが大きいことがあげられる。

センサーノイズは、一般に固定的に現われる固定パターンノイズ（以後FPNと呼ぶ）と、制御電極をリセットした時に制御電極にとりこまれるランダムノイズ（リセット毎に振幅が変化するノイズ）がある。

センサーノイズのなかで、FPNは固定的に現われるのでセンサーの光信号出力からセンサーの暗時出力を減算すれば、完全に除去することができる。なお、暗時出力は蓄積時間をほとんどゼロ、即ちセンサーをリセットした直後に読み出す事によって得ることができる。

これに対し制御電極にとりこまれたランダムノイズをも除去するためには、蓄積開始直後のセンサー出力（センサーノイズ）から蓄積後のセン

サー出力（光信号）を減算すればよい。

このような減算処理が可能な光電変換装置として、本発明者は、既に特願平 1-301819 号において、以下に示すような光電変換装置を提案した。

第5図は上記特願平 1-301819 号に開示されている光電変換装置の回路構成図である。

第6図は上記光電変換装置の一画素の概略的平面図である。

なお、回路構成の説明において、後述する本発明の光電変換装置の実施例と共通する部分については、説明に必要な部分を除き、同一符号を付して説明を省略するものとする。

第5図及び第6図に示すように、特願平 1-301819 号の光電変換装置の画素は、光励起された電荷を蓄積する蓄積手段であるフォトダイオードD、容量Cox、増幅用トランジスタTr、フォトダイオードDの光電変換部で発生した電荷を増幅用トランジスタTrの制御電極であるベースへ転送制御するための転送素子Msから構成される。

かかる構成の光電変換装置は、フォトダイオ

ードDと増幅用トランジスタTrとの間に転送素子Msを設けることで、フォトダイオードDの動作に関係なく、センサノイズを独立して読み出すことを可能とするものであり、FPNばかりでなく増幅用トランジスタTrの暗電流成分やランダムノイズを除去することを可能とするものである。

また、フォトダイオードDに蓄積された電荷を増幅用トランジスタTrに転送する前に、この増幅用トランジスタTrのベースをリセットするリセット手段Mcを設け、リセット後に、増幅用トランジスタTrの出力を第1の信号として読み出し、また転送素子Msを導通させ、前記フォトダイオードDの電荷を前記増幅用トランジスタTrのベースに転送した後に前記増幅用トランジスタTrの出力を第2の信号として読み出すことにより、増幅用トランジスタTrの暗電流成分を光電荷の転送前に除去し、フォトダイオードDの蓄積電位よりも増幅用トランジスタTrのベースの電位を低く設定することで、フォトダイオードDから増幅用トランジスタTrへ光電荷の転送を完全に行うことを可能とす

るものである。

さらに、副走査方向に隣接した各増幅用トランジスタTrのベース間にはリセット手段Mcを設け、このリセット手段Mcにより増幅用トランジスタTrのベースをリセットすることで、主走査方向と同時に副走査方向に配列された画素をリセット可能とし、スミアを減少させる作用を有する。

なお、ここで、スミアとは強すぎる光照射等のため、蓄積された電荷に対応する信号を読み出す時に、選択されていない増幅手段の制御電極の電位が上昇し、当該増幅手段から出力が現われる現象をいうものとする。

上記スミアを減少させることができるのは、選択された増幅手段から蓄積された電荷に対応する信号を読み出す前に、選択された増幅用トランジスタTrの制御電極とともに選択されていない増幅用トランジスタTrの制御電極をもリセットすることが可能となるため、選択されていない増幅用トランジスタTrから出力が現われなくなるからである。

〔発明が解決しようとする課題〕

しかしながら、上記特願平 1-301819 の光電変換装置は、素子分離領域を絶縁ゲート型トランジスタ構成としたゲート分離型の光電変換装置に適用する場合、画素数の増大に伴ってリセット時間が長くなるため、改善が望まれていた。

リセット時間が長くなるのは、第5図及び第6図に示すように、リセット手段 $M_c$ を直列に配置するために、直列抵抗（リセット手段 $M_c$ のON抵抗成分、増幅用トランジスタ $T_r$ のベース抵抗成分等によるもの）と容量（増幅用トランジスタ $T_r$ のベース容量やエミッタの寄生容量等によるもの）が大きくなり、時定数が長くなるからである。

リセット時間の短縮が望まれる用途としては、例えば、次に示すものがある。

固体撮像装置等において用いられるエリアセンサ（複数の光電変換要素が二次元状に配列されたもの）をテレビジョン同期で動作させる場合、リセットは一水平ブランキング内（1HBLK）で行うか、あるいは一水平走査期間を利用する場合

が考えられる。この場合、上述のような素子分離領域を絶縁ゲート型トランジスタ構成とした光電変換装置の場合、1HBLK期間内でリセットを行う必要がある。

ところが、二水平画素列の画素信号を一水平走査期間内に独立に読み出したい用途があった場合、特願平 1-301819 の光電変換装置では、リセット期間が長くなるため対応が困難である。

カラーセンサで、垂直解像度の高い輝度信号と色信号を得たい場合、二水平画素列の画素信号を独立に出す必要があるため、かかる用途に用いることができる光電変換装置が望まれていた。

〔課題を解決するための手段〕

本発明の光電変換装置は、光動起された電荷を蓄積する蓄積手段と、この蓄積手段に蓄積された電荷の転送制御を行う転送素子とを構成要素とする画素を複数備えた光電変換装置であって、

複数の蓄積手段がそれぞれの転送素子を介して制御電極に共通接続され、この制御電極の電荷を増幅して出力する増幅手段と、

的增加を軽減するものである。

〔実施例〕

以下、本発明の実施例について図面を用いて詳細に説明する。

第1図は、本発明の光電変換装置の一実施例の等価回路図である。

なお、本実施例の光電変換装置の画素は $m$ 行 $n$ 列のマトリクス状に配列されているが、第1図においては、簡易化のために第1列目の六画素 $S_1 \sim S_6$ のみを示すものとする。

第1図に示すように、それぞれの画素 $S_1 \sim S_6$ は光動起された電荷を蓄積する蓄積手段であるフォトダイオード $D$ 、容量 $C_{ox}$ 、フォトダイオード $D$ の光電変換部で発生した電荷を転送制御するための転送素子 $M_s$ から構成される。

垂直方向にある二つの画素、画素 $S_1$ と画素 $S_2$ 、画素 $S_3$ と画素 $S_4$ 、画素 $S_5$ と画素 $S_6$ は、それぞれバイポーラトランジスタ $T_{r1}$ 、 $T_{r2}$ 、 $T_{r3}$ に接続される。

垂直方向にあるバイポーラトランジスタ $T_{r1}$ 、

前記制御電極に設けられたリセット手段と、

このリセット手段により前記制御電極をリセットし、前記増幅手段の出力を第1の信号として読み出す第1の読み出し手段と、

前記転送素子を導通させ、前記蓄積手段の電荷を前記制御電極に転送する転送手段と、

電荷の転送後に前記増幅手段の出力を第2の信号として読み出す第2の読み出し手段と、

前記第1の信号と前記第2の信号との減算処理を行う減算処理手段と、

を備えたことを特徴とする。

〔作 用〕

本発明は、複数の蓄積手段をそれぞれの転送素子を介して増幅手段の一つの制御電極に共通接続することで、増幅手段の数を減少させ、増幅手段による抵抗成分、容量成分を小さくするものである。

また、本発明は、リセット手段のリセット端子を複数の増幅手段毎に設けることで、リセット手段の直列接続によって生ずる抵抗及び容量の加算

$T_{r1}$ 間には二つのpMOSトランジスタ $M_{c1}$ 、 $M_{c2}$ で分離され、バイポーラトランジスタ $T_{r1}$ 、 $T_{r2}$ 間には二つのpMOSトランジスタ $M_{c3}$ 、 $M_{c4}$ で分離される。またバイポーラトランジスタ $T_{r1}$ の一方にはpMOSトランジスタ $M_{c1}$ が設けられる。

バイポーラトランジスタ $T_{r1}$ 、 $T_{r2}$ 、 $T_{r3}$ のエミッタ端子は、垂直出力線VLに共通に接続される。二つのpMOSトランジスタ $M_{c1}$ 、 $M_{c2}$ 、及び $M_{c3}$ 、 $M_{c4}$ のドレイン間はそれぞれ共通接続され、pMOSトランジスタ $M_{c1}$ 、 $M_{c3}$ のドレインは、垂直出力線VLに接続される。なお、pMOSトランジスタのドレインは必要に応じて、垂直出力線VLに接続されるものである。

pMOSトランジスタ $M_{c1}$ 、 $M_{c2}$ 、 $M_{c3}$ 、 $M_{c4}$ のゲートは共通にリセット用のゲート線GLに接続されている。このゲート線にはパルス $\phi_{c1}$ が印加される。

垂直出力線VLは、パルス $\phi_{r1}$ 、 $\phi_{r2}$ によって制御されるnMOSトランジスタ $M_{r1}$ 、 $M_{r2}$ を介して蓄積容量 $C_{r1}$ 、 $C_{r2}$ に接続される。蓄積容量 $C_{r1}$ 、

$C_{r2}$ には、それぞれセンサノイズ、信号が蓄積され、パルス $\phi_{n1}$ の制御によってMOSトランジスタ $M_{n1}$ 、 $M_{n2}$ を通して、センサノイズ出力(Sout)、信号出力(Nout)として水平出力線に出力され、不図示の減算処理回路により減算処理されて水平共通出力線SLに出力される。水平共通出力線SLはパルス $\phi_{nc}$ によって制御されるMOSトランジスタによってリセットされる。

垂直出力線VLは、パルス $\phi_{vc}$ によって制御されるMOSトランジスタ $M_v$ によってリセットされ、蓄積容量 $C_{r1}$ 、 $C_{r2}$ の残留電荷の除去及び後述するバイポーラトランジスタ $T_{r1}$ ～ $T_{r3}$ の過渡リフレッシュが可能となっている。

第2図は、本発明の光電変換装置の概略的平面図である。

第1図と同様にして、簡易化のために第1列目の六画素 $S_1$ ～ $S_6$ のみ示されている。

図中、 $D_1$ ～ $D_6$ は光励起された電荷を蓄積する蓄積手段である。それぞれの画素のフォトダイオードDであり、フォトダイオード $D_1$ 及び $D_2$

で光電変換された信号は、転送素子 $M_s$ (図中、破線領域 $M_s$ )をへて、バイポーラトランジスタ $T_{r1}$ のベースに転送される。容量 $C_{o1}$ (図中破線図示)は転送素子 $M_s$ の制御電極(ゲート電極)の一部を用いて形成される。なお、同様にフォトダイオード $D_3$ 及び $D_4$ で光電変換された信号はバイポーラトランジスタ $T_{r2}$ のベースに転送され、またフォトダイオード $D_5$ 及び $D_6$ で光電変換された信号はバイポーラトランジスタ $T_{r3}$ のベースに転送される。

なお、このバイポーラトランジスタ $T_{r1}$ 、 $T_{r2}$ 、 $T_{r3}$ のベース領域は、画素信号を転送する前に、垂直方向のpMOSトランジスタ $M_{c1}$ ～ $M_{c4}$ をすべて導通させてリセットされる。図中、B、Eはそれぞれバイポーラトランジスタ $T_{r1}$ (他の画素も同様である)のベース、エミッタを示し、RCはリセット電位設定を行うリセット端子のコンタクト部分を示している。

リセット端子はリセット時定数を小さくするためのものであり、pMOSトランジスタ間に設けら

れている。通常、このリセット端子は一本の垂直出力線VL当たり10個程度設ければよい。この10個のリセット端子によりリセット電圧(ここではGND)が供給されるので、垂直方向の直列抵抗と寄生容量はそれぞれ約1/10倍になり、従来1H期間を要していたリセット時間は、約1/100倍と高速にリセットすることが可能となる。

また、バイポーラトランジスタを二つの画素に対して一つ設けることとしたため、垂直出力線に接続されるバイポーラトランジスタの数が約半分に減るので、抵抗成分、容量成分が小さくなり(主にエミッタの寄生容量による負荷容量が小さくなる)、バイポーラトランジスタの駆動能力に余裕が生じる。

第3図は上記光電変換装置の動作を説明するためのタイミングチャートである。

なお、二水平画素列の画素信号を読み出す時は、以下に説明する動作を二つの画素列に対して行えば良い。なお以下の説明では画素 $S_1$ のみの

動作について説明するが、他の画素の動作も同様である。

まず、期間 $T_1$ において、パルス $\phi_{vc}$ をハイレベル、パルス $\phi_{cl}$ をロウレベルとすると、MOSトランジスタ $M_v$ 、pMOSトランジスタ $M_{c1} \sim M_{cn}$ がON状態となり、垂直出力線 $V_L$ 及びバイポーラトランジスタ $T_{r1}$ 、 $T_{r2}$ 、 $T_{rn}$ のベースがリセットされる。

次に、期間 $T_2$ において、MOSトランジスタ $M_v$ をON状態に保持したまま、パルス $\phi_n$ をミドルレベルからハイレベル、パルス $\phi_{r1}$ をハイレベルとすると、nMOSトランジスタ $M_{r1}$ がON状態となって蓄積容量 $C_{r1}$ がリセットされるとともに、バイポーラトランジスタ $T_{r1}$ のベース電位が上昇し、ベースに残留する電荷が放電される（これを過渡リフレッシュという）。

次に、期間 $T_3$ において、パルス $\phi_n$ をハイレベル、パルス $\phi_{r1}$ をハイレベルにしたまま、パルス $\phi_{vc}$ をロウレベルとすると、バイポーラトランジスタ $T_{r1}$ のオフセット電圧が読み出され、セン

サノイズとして蓄積容量 $C_{r1}$ に転送される。

その後、パルス $\phi_{vc}$ をハイレベル、パルス $\phi_{r2}$ をハイレベルとしてMOSトランジスタ $M_v$ 、nMOSトランジスタ $M_{r2}$ をON状態として蓄積容量 $C_{r2}$ をリセットする

次に、期間 $T_4$ において、パルス $\phi_n$ をミドルレベルからロウレベルとすると、転送素子 $M_s$ がON状態となって、フォト・ダイオードDから光電変換された信号がバイポーラトランジスタ $T_{r1}$ のベースに転送される。

次に、期間 $T_5$ において、パルス $\phi_n$ をロウレベルからハイレベル、パルス $\phi_{r2}$ をハイレベルとすると、バイポーラトランジスタ $T_{r1}$ のベースに転送された電荷に対応する信号が垂直出力線 $V_L$ に読み出され、蓄積容量 $C_{r2}$ へ信号が転送される。

その後、期間 $T_6$ において、パルス $\phi_{n1}$ をハイレベルとすると、蓄積容量 $C_{r1}$ 、 $C_{r2}$ に蓄積されたセンサノイズ、信号が出力され、不図示の減算処理回路により減算処理されてノイズ補正信号と

して出力される。

なお、以上説明した光電変換装置では、垂直二画素について、一つの増幅手段（バイポーラトランジスタ）を設けて構成したが、三以上の画素について一つの増幅手段を設けて構成してもよい。

また、以上説明した光電変換装置では、エリアセンサについて述べたが、ラインセンサにおいても、複数画素毎に一つの増幅手段を設ければ、増幅手段のパターン設計に設計余裕が生じ、微細化に適したラインセンサを提供することができる。

第4図は、本発明を適用した固体撮像装置の概略的構成図である。

同図において、光センサがエリア状に配列された撮像素子201は、垂直走査部202及び水平走査部203によってテレビジョン走査が行なわれる。

水平走査部203から出力された信号は、処理回路204を通して標準テレビジョン信号として出力される。

垂直および水平走査部202及び203の駆動

パルス $\phi_{n1}$ 、 $\phi_{n2}$ 、 $\phi_{n3}$ 、 $\phi_{v1}$ 、 $\phi_{v2}$ 等はドライバ205によって供給される。またドライバ205はコントローラ206によって制限される。

#### 【発明の効果】

以上詳細に説明したように、本発明の光電変換装置によれば、複数の蓄積手段をそれぞれの転送素子を介して増幅手段の一つの制御電極に共通接続することで、増幅手段の数を減少させ、増幅手段による抵抗成分、容量成分を小さくすることが可能となり（増幅手段がバイポーラトランジスタの場合、特にエミッタの寄生容量を小さくすることが可能となる）、信号の破壊度を小さくすることができ、高速でリセットをおこなうことが可能となり、複数水平画素列の画素信号を独立して読み出すことが可能となる。またかかる効果に加えて、リセット手段のリセット端子を複数の増幅手段毎に設けることで、リセット手段の直列接続によって生ずる抵抗及び容量の加算的増加を軽減し、さらに高速でリセットをおこなうことが可能

となる。

なお、リセット電位用のコンタクト数は、非常に少なくすむので、その分歩留まりが向上する。

#### 4. 図面の簡単な説明

第1図は、本発明の光電変換装置の一実施例の等価回路図である。

第2図は、本発明の光電変換装置の一実施例の概略的平面図である。

第3図は、上記光電変換装置の動作を説明するためのタイミングチャートである。

第4図は、本発明を適用した固体撮像装置の概略的構成図である。

第5図は、特願平 1-301819 号に開示されている光電変換装置の回路構成図である。

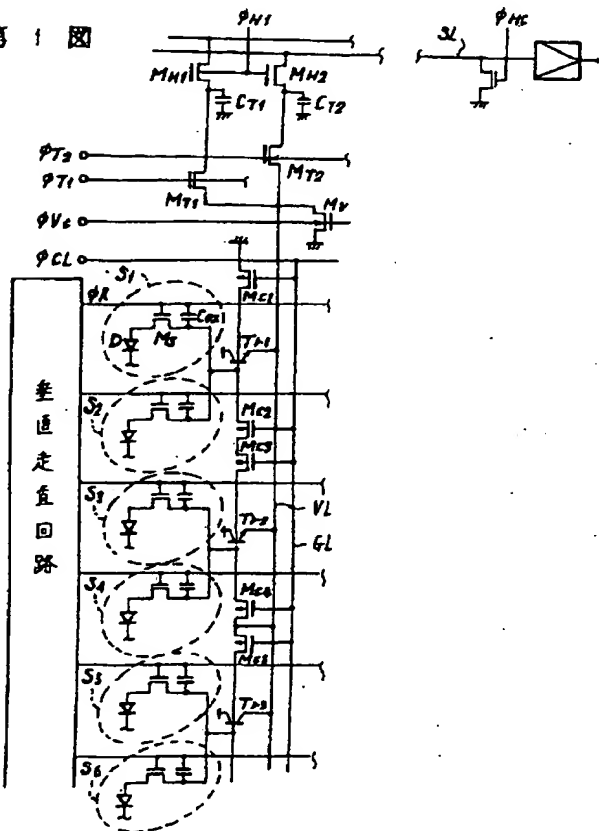
第6図は、上記特願平 1-301819 号の光電変換装置の一画素の概略的平面図である。

$S_1 \sim S_6$  : 画素、 $D$  : フォト・ダイオード、 $C_{ox}$  : 容量、 $M_s$  : 転送素子、 $T_{r1}$ ,  $T_{r2}$ ,  $T_{r3}$

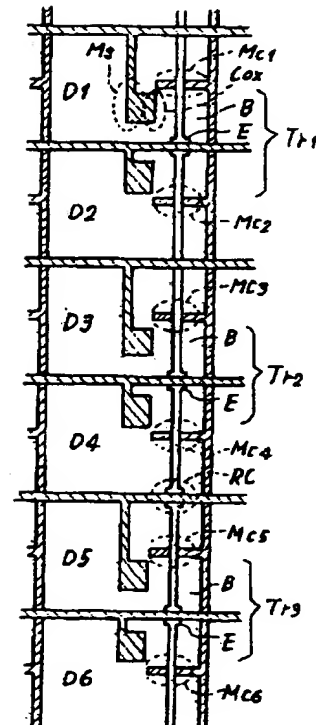
: バイポーラトランジスタ、 $M_{c1}$ ,  $M_{c2}$ ,  $M_{c3}$ ,  $M_{c4}$ ,  $M_{c5}$ ,  $M_{c6}$  : pMOS トランジスタ、 $S_L$  : 水平共通出力線、 $V_L$  : 垂直出力線、 $G_L$  : ゲート線、 $M_{r1}$ ,  $M_{r2}$  : MOS トランジスタ、 $C_{r1}$ ,  $C_{r2}$  : 蓄積容量、 $M_{n1}$ ,  $M_{n2}$ ,  $M_v$  : MOS トランジスタ。

代理人 井理士 山下 稔 平

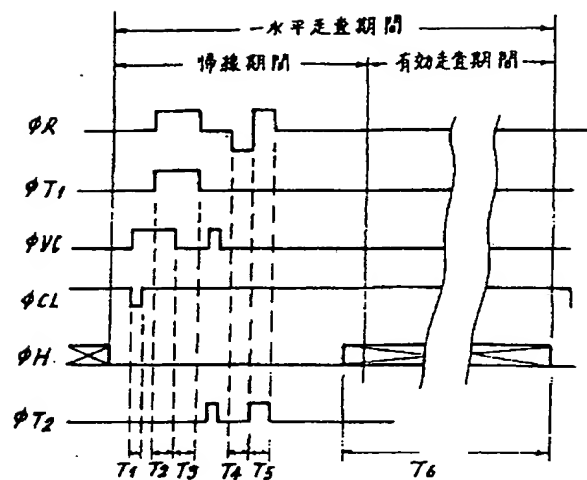
第1図



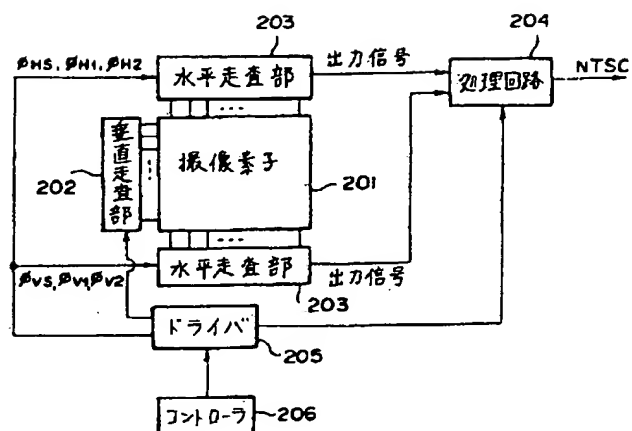
第2図



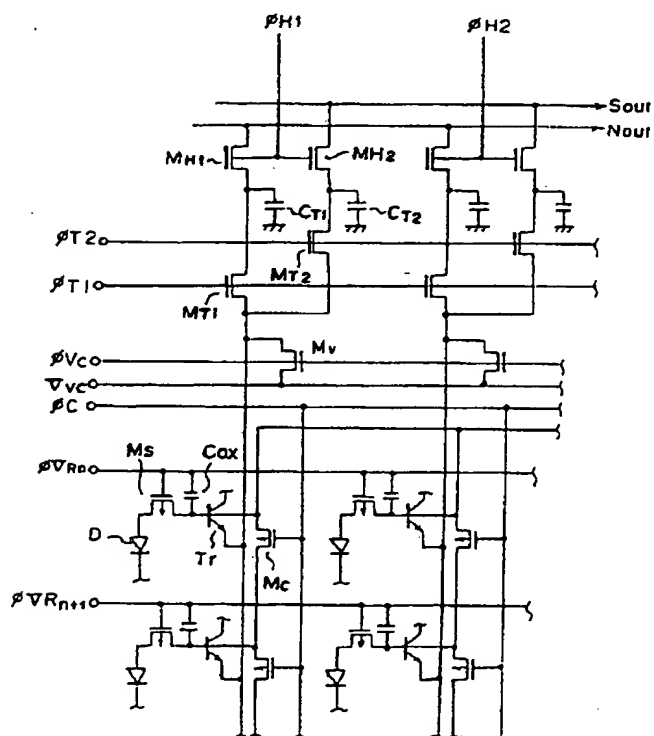
第 3 図



第 4 図



第 5 図



第 6 図

